##### ЗМІСТ РОБОТИ

|  |  |
| --- | --- |
| 1. Мікропрограма у відповідності із заданим варіантом ……………... | 3 |
| 2. Граф МПА …………………………………………………………….. | 4 |
| 3. Отримання виразів для функцій збудження D0, D1 та функцій виходів К0, К1, К2, К3 ………………………………………………… | 5 |
| 4. Спрощення виразів для функцій збудження D0, D1 та функцій виходів К0, К1, К2, К3 ………………………………………………… | 6 |
| 5. Опрацювання та опис функціональної схеми пристрою …………... | 7 |
| 6. Вибір елементної бази. Опрацювання та опис принципової електричної схеми пристрою ……………………………………… 9 |  |
| 7. Опрацювання МПА на основі ІС типів КР556РT17 (постійний запам’ятовуючий пристрій) та КР555ТМ9 (регістр) ………………... | 16 |
| 7.1 Отримання виразів для функцій збудження D0, D1 та функцій виходів К0, К1, К2, К3 в цифровій формі ……………………………. | 16 |
| 7.2 Таблиця істинності ПЗП ………………………………………………. | 17 |
| 7.3 Схема МПА, побудованого на основі ПЗП …………………………... | 18 |
| 8. Список використаної літератури ………………………………………. | 19 |

**1. Мікропрограма у відповідності із заданим варіантом 9.1**

Початок: загальний скид

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| А0: | якщо  |  | то | К2,K3 | йти до | А1; |
|  | якщо |  | то | К2 | йти до | А2; |
|  | якщо |  | то | K0 | йти до | А3; |
|  | якщо |  | то | К2 | йти до | А1; |
|  |  |  |  |  |  |  |
| А1: | якщо |  | то | К2,K3 | йти до | А3; |
|  | якщо |  | то | K1 | йти до | А2; |
|  | якщо |  | то | K1 | йти до | А3; |
|  | якщо |  | то | K0 | йти до | А3; |
|  |  |  |  |  |  |  |
| А2: | якщо |  | то | К0 | йти до | А0; |
|  | якщо |  | то | К0 | йти до | А1; |
|  | якщо |  | то | К2,K3 | йти до | А2; |
|  | якщо |  | то | К2 | йти до | А3; |
|  |  |  |  |  |  |  |
| А3: | якщо |  | то | К0 | йти до | А0; |
|  | якщо |  | то | K1 | йти до | А0; |
|  | якщо |  | то | K1 | йти до | А0; |
|  | якщо |  | то | К0 | йти до | А0; |

K0 – EWR

K1 – E+1

K2 – CS

K3 – RD

**2. Граф МПА**

Рис. 1 – Граф мікропрограмного автомата



**3. Отримання виразів для функцій збудження D0, D1 та функцій виходів К0, К1, К2, К3**

$$D0=\overline{Q1} \overline{Q0} \overline{Y1} \overline{Y0} ⋁ \overline{Q1} \overline{Q0} Y1 \overbar{Y0} ⋁ \overline{Q1} \overline{Q0} Y1 Y0 ⋁ \overline{Q1} Q0 \overline{Y1} \overline{Y0} ⋁ \overline{Q1} Q0 Y1 \overline{Y0} ⋁ \overline{Q1} Q0 Y1 Y0 ⋁ Q1 \overline{Q0} \overline{Y1} Y0 ⋁ $$

$ ⋁ Q1 \overline{Q0} Y1 Y0 $

$$D1= \overline{Q1} \overline{Q0} \overline{Y1} Y0 ⋁ \overline{Q1} \overline{Q0} Y1 \overbar{Y0} ⋁ \overline{Q1} Q0 \overline{Y1} \overline{Y0} ⋁ \overline{Q1} Q0 \overline{Y1} Y0 ⋁ \overline{Q1} Q0 Y1 \overline{Y0} ⋁ \overline{Q1} Q0 Y1 Y0 ⋁ $$

$$ ⋁ Q1 \overline{Q0} Y1\overline{Y0} ⋁ Q1 \overline{Q0} Y1 Y0$$

$$K0=\overline{Q1} \overline{Q0} Y1 \overbar{Y0} ⋁ \overline{Q1} Q0 Y1 Y0 ⋁ Q1 \overline{Q0} \overline{Y1} \overline{Y0} ⋁ Q1 \overline{Q0} \overline{Y1} Y0 ⋁ Q1 Q0 \overline{Y1} \overline{Y0} ⋁ Q1Q0 Y1 Y0$$

$$K1=\overline{Q1} Q0 \overline{Y1} Y0 ⋁ \overline{Q1} Q0 Y1 \overline{Y0} ⋁ Q1Q0 \overbar{Y1} Y0 ⋁ Q1Q0 Y1 \overline{Y0}$$

$$K2=\overline{Q1} \overline{Q0} \overline{Y1} \overline{Y0} ⋁ \overline{Q1} \overline{Q0} \overline{Y1} Y0 ⋁ \overline{Q1} \overline{Q0} Y1 Y0 ⋁ \overline{Q1} Q0 \overline{Y1} \overline{Y0} ⋁ Q1 \overline{Q0} Y1\overline{Y0} ⋁ Q1 \overline{Q0} Y1 Y0 $$

$$K3=\overline{Q1} \overline{Q0} \overline{Y1} \overline{Y0} ⋁ \overline{Q1} Q0 \overline{Y1} \overline{Y0} ⋁ Q1 \overline{Q0} Y1\overline{Y0}$$

$$ $$

**3. Спрощення виразів для функцій збудження D0, D1 та функцій виходів К0, К1, К2, К3**

$$D0=\overline{Q1} \overline{Q0} \overline{Y1} \overline{Y0} ⋁ \overline{Q1} \overline{Q0} Y1 \overbar{Y0} ⋁ \overline{Q1} \overline{Q0} Y1 Y0 ⋁ \overline{Q1} Q0 \overline{Y1} \overline{Y0} ⋁ \overline{Q1} Q0 Y1 \overline{Y0} ⋁ \overline{Q1} Q0 Y1 Y0 ⋁ Q1 \overline{Q0} \overline{Y1} Y0 ⋁ $$

$ ⋁ Q1 \overline{Q0} Y1 Y0 $

$$D1= \overline{Q1} \overline{Q0} \overline{Y1} Y0 ⋁ \overline{Q1} \overline{Q0} Y1 \overbar{Y0} ⋁ \overline{Q1} Q0 \overline{Y1} \overline{Y0} ⋁ \overline{Q1} Q0 \overline{Y1} Y0 ⋁ \overline{Q1} Q0 Y1 \overline{Y0} ⋁ \overline{Q1} Q0 Y1 Y0 ⋁ $$

$$ ⋁ Q1 \overline{Q0} Y1\overline{Y0} ⋁ Q1 \overline{Q0} Y1 Y0$$

$$K0=\overline{Q1} \overline{Q0} Y1 \overbar{Y0} ⋁ \overline{Q1} Q0 Y1 Y0 ⋁ Q1 \overline{Q0} \overline{Y1} \overline{Y0} ⋁ Q1 \overline{Q0} \overline{Y1} Y0 ⋁ Q1 Q0 \overline{Y1} \overline{Y0} ⋁ Q1Q0 Y1 Y0$$

$$K1=\overline{Q1} Q0 \overline{Y1} Y0 ⋁ \overline{Q1} Q0 Y1 \overline{Y0} ⋁ Q1Q0 \overbar{Y1} Y0 ⋁ Q1Q0 Y1 \overline{Y0}$$

$$K2=\overline{Q1} \overline{Q0} \overline{Y1} \overline{Y0} ⋁ \overline{Q1} \overline{Q0} \overline{Y1} Y0 ⋁ \overline{Q1} \overline{Q0} Y1 Y0 ⋁ \overline{Q1} Q0 \overline{Y1} \overline{Y0} ⋁ Q1 \overline{Q0} Y1\overline{Y0} ⋁ Q1 \overline{Q0} Y1 Y0 $$

$$K3=\overline{Q1} \overline{Q0} \overline{Y1} \overline{Y0} ⋁ \overline{Q1} Q0 \overline{Y1} \overline{Y0} ⋁ Q1 \overline{Q0} Y1\overline{Y0}$$

**5. Опрацювання та опис функціональної схеми пристрою**



Функціональна схема запам’ятовувального пристрою з мікропрограмним керуванням

Запам’ятовувальний пристрій з мікропрограмним керуванням складається з операційного автомату (ОА) та керуючого автомату (КА). Операційний автомат складається з лічильника адреси – СТ2 та запам’ятовувального пристрою – RAM, адресованого лічильником.

 Лічильник адреси під час дії тактового імпульса (ТІ), виконує наступні операції: скид в “0”, запис та збільшення вмісту на 1 при наявності на керуючих входах сигналів EWR та E+1 відповідно; запам’ятовувальний пристрій, з організацією 256х8, виконує читання при наявності сигналів CS, RD=1, а запис при CS, RD=0.

 Входи завантаження лічильника та інформаційні входи/виходи запам’ятовувального пристрою під’єднані до двонаправленої 8-розрядної шини даних (ШД). Керуючі сигнали:

EWR=K0

E+1=K1

CS=K2

RD=K3

Вони виробляються керуючим автоматом у відповідності з заданою мікропрограмою. Керуючий автомат складається з комбінаційної схеми (КС) на 4 входи та 6 виходів, а також синхронного регістра на D-тригерах (RG).

Під впливом вхідних сигналів Y1, Y0 на виходах регістра формуються сигнали Q1, Q0, що визначають стан мікропрограмного автомата (МПА), а також керуючі сигнали K0=EWR, K1=E+1, K2=CS, K3=RD.

**Детальний опис принципу роботи схеми при поданні Y1 = 1, Y0 = 1 (**$Y1Y0)$

 Загальний скид;

 A0: $ Y1Y0$ то K2 йти до А1;

 А2: $Y1Y0$ то К0 йти до А3;

 А3: $Y1Y0$ то К0 йти до А0;

Для початкового загального скиду на входи R мікросхем подається короткочасний сигнал $\overbar{ЗСК}$=0. МПА знаходиться у стані А0, при Y1=1, Y0=1 формується сигнал RD – запис в шину даних числа D0 = 5600 за адресою А0 = 0 з RAM. При Y1=1, Y0=1, Q1=1, Q0=0 і наступному фронті ТІ МПА переходить в стан А2, формує сигнал К0, EWR – запис адреси А1 = 12 в лічильники СТ2. При Y1=1, Y0=1, Q1=1, Q0=1 і наступному фронті ТІ МПА переходить в стан А3, формується сигнал EWR – запис адреси А2 = 142 в лічильники СТ2.

**6. Вибір елементної бази . Опрацювання та опис принципової електричної схеми пристрою.**

Схема електрична принципова запам’ятовувального пристрою з мікропрограмним керуванням зображена у графічній частині курсової роботи.

Вона складається з керуючого автомату і операційного автомату. Комбінаційна схема складається з дешифратора D1 (К555ИД3), елементів логіки D2,3,5 D4, D6 (К555ЛА2, К555ЛА1) Синхронний регістр D8 (К555ТМ9) по сигналу фронтальної синхронізації видає сигнали Q0, Q1, які визначають стан МПА, та керуючі сигнали К0, К1, К2, К3. Лічильник адреси реалізований на мікросхемах D9, D10 (К555ИЕ18), а елементи пам’яті на мікросхемі D11 (К537РУ8А).

Умовне графічне зображення дешифратора К555ИД3 зображене на рисунку 1.



Рис. 1 – УГЗ дешифратора К555ИД3

**Таблиця істинності**

|  |  |
| --- | --- |
| Входи | Виходи |
| E | & | 2 | 4 | 2 | 1 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| 1 | X | X | X | X | X | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| X | 1 | X | X | X | X | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 |
| 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 |
| 0 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 |
| 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 |
| 0 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 |
| 0 | 0 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 |
| 0 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 |
| 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 0 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 0 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 0 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 0 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 0 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 0 | 0 | 1 | 1 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 0 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

 На рисунку 2 зображене умовне графічне зображення регістра К555ТМ9. Регістр являє собою шість D-тригерів з загальним входом скидання R.



Рис. 2 – УГЗ регістра К555ТМ9

Таблиця 1 – Таблиця істинності регістра К555ТМ9

|  |  |
| --- | --- |
| t | t+1 |
| Входи | Виходи |
| C |  | Di | Qi |
| 0 | 1 | X | Qt |
|  | 1 | 1 | 1 |
|  | 1 | 0 | 0 |
| X | 0 | X | 0 |

Мікросхема К555ИЕ18 – це чотирьохрозрядний двійковий лічильник, виконаний на двоступеневих D-тригерах. Лічильник синхронний. Керування режимом лічби здійснюється за допомогою входів дозволу лічби E+1, попереднього запису EWR і дозволу переносу CR1.



Рис. 3 – УГЗ лічильника К555ИЕ18



Рис. 4 – Часова діаграма роботи лічильника К555ИЕ18

В якості запам’ятовуючих елементів використовуються мікросхеми К132РУ9А. Для запису 256х8 розрядних слів використовується дві мікросхеми. Вони мають двонаправлену тристабільну ШД, адресні входи та входи для вибору режимів роботи WE, CS.



Рисунок 8 – УГЗ мікросхеми К132РУ9А

Запис

Читання



Рис. 9 – Часові діаграми читання та запису елемента К132РУ9А

**Детальний опис принципу роботи схеми при поданні Y1 = 1, Y0 = 1 (**$Y1Y0)$

 Загальний скид;

 A0: $ Y1Y0$ то K2 йти до А1;

 А2: $Y1Y0$ то К0 йти до А3;

 А3: $Y1Y0$ то К0 йти до А0;

1. Для початкового загального скиду на входи RESET мікросхем подається короткочасний сигнал ЗСК =1 (Ti = 1). На виходах 2,5 регістра D8 формуються сигнали D0 = 0 і D1 = 0 (МПА переходить в стан А0) і подаються на входи 20,21 дешифратора D1. На входи 22,23 дешифратора D1 синхронно з D0 = “0” і D1 = “0” подаються сигнали Y1 = “1”, Y0 = “1” відповідно. На виході 4 дешифратора D1 формується сигнал логічного 0, на всіх інших виходах – рівень логічної “1”. На виході 8 мікросхеми D6 формується сигнал логічної “1” що надходить до входу 12 регістра D8 . На виході 12 регістра D8 рівень логічної 1 інвертується і надходить на входи 8,10 мікросхем RAM D11-D13 в шину даних з RAM за адресою А0 = 0 записується D0 = 5400.
2. На виходах 2,5 регістра D8 формуються сигнали D0 = 1 і D1 = 0 (МПА переходить в стан А2) і подаються на входи 20,21 дешифратора D1. На входи 22,23 дешифратора D1 синхронно з D0 = “1” і D1 = “0” подаються сигнали Y1 = “1”, Y0 = “1” відповідно. На виході 15 дешифратора D1 формується рівень логічного “0”, на всіх інших виходах – рівень логічної “1”. На виході 8 мікросхеми D4 відповідно формується рівень логічної “1” що надходить до входу 6 регістра D8. На виході 7 регістра D8 рівень логічної 1інвертується і надходить на вхід 8 мікросхем CT2 D9-D04 і в лічильники записується адреса А1 = 12.
3. На виходах 2,5 регістра D8 формуються сигнали D0 = 1 і D1 = 1 (МПА переходить в стан А3) і подаються на входи 20,21 дешифратора D1. На входи 22,23 дешифратора D1 синхронно з D0 = “1” і D1 = “1” подаються сигнали Y1 = “1”, Y0 = “1” відповідно. На виході 17 дешифратора D1 формується рівень логічного “0”, на всіх інших виходах – рівень логічної “1”. На виході 8 мікросхеми D4 відповідно формується рівень логічної “1” що надходить до входу 6 регістра D8. На виході 7 регістра D8 рівень логічної 1інвертується і надходить на вхід 8 мікросхем CT2 D9-D04 і в лічильники записується адреса А2 = 142.

**7. Опрацювання МПА на основі ІС типів КР567РT17 (постійний запам’ятовуючий пристрій) та КР555ТМ9 (регістр)**

**7.1 Отримання виразів для функцій збудження D0, D1 та функцій виходів К0, К1, К2, К3 в цифровій формі**

D0 = v( 0;2;3;4;6;7;9;11)

D1 = v(1;2;4;5;6;7;10;11)

K0 = v(2;7;8;9;12;15)

K1 = v(5;6;13;14)

K2 = v(0;1;3;4;10;11)

K3 = v(0;4;10)

**7.2 Таблиця істинності ПЗП**

Таблиця 4 – Таблиця істинності ПЗП

|  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **A** | **Q1** | **Q0** | **Y1** | **Y0** | **K3** | **K2** | **K1** | **K0** | **D1** | **D0** | **B** |
| 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 1 | 49 |
| 1 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | 18 |
| 2 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 7 |
| 3 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 1 | 17 |
| 4 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 51 |
| 5 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | 0 | 10 |
| 6 | 0 | 1 | 1 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 11 |
| 7 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 7 |
| 8 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 4 |
| 9 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 1 | 5 |
| 10 | 1 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 1 | 0 | 50 |
| 11 | 1 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 19 |
| 12 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 4 |
| 13 | 1 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 8 |
| 14 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 8 |
| 15 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 4 |
|  | 8 | 4 | 2 | 1 | 32 | 16 | 8 | 4 | 2 | 1 |  |

D0 = v( 0;2;3;4;6;7;9;11)

D1 = v(1;2;4;5;6;7;10;11)

K0 = v(2;7;8;9;12;15)

K1 = v(5;6;13;14)

K2 = v(0;1;3;4;10;11)

K3 = v(0;4;10)

**7.3 Схема МПА, побудованого на основі ПЗП**



**8. Список використаної літератури**

1. Цифровые и аналоговые интегральные микросхемы: Справочник./ Под ред. С.В. Якубовского. ­­— М.: Радио и связь, 1990;
2. Цифровые интегральные схемы: Справочник./ Под ред. П.П. Мальцева. — М.: Радио и связь, 1994;
3. Шило В.Л. Популярные цифровые микросхемы: Справочник. — М.: Радио и связь, 1994;
4. Угрюмов Е.П. Цифровая схемотехника. — СПб.: БХВ — Санкт – Петербург, 2000;
5. Полупроводниковые БИС ЗУ: Справочник./ Под ред. Гордонова А.Ю. – М.: Радио и связь, 1987.